

No title available

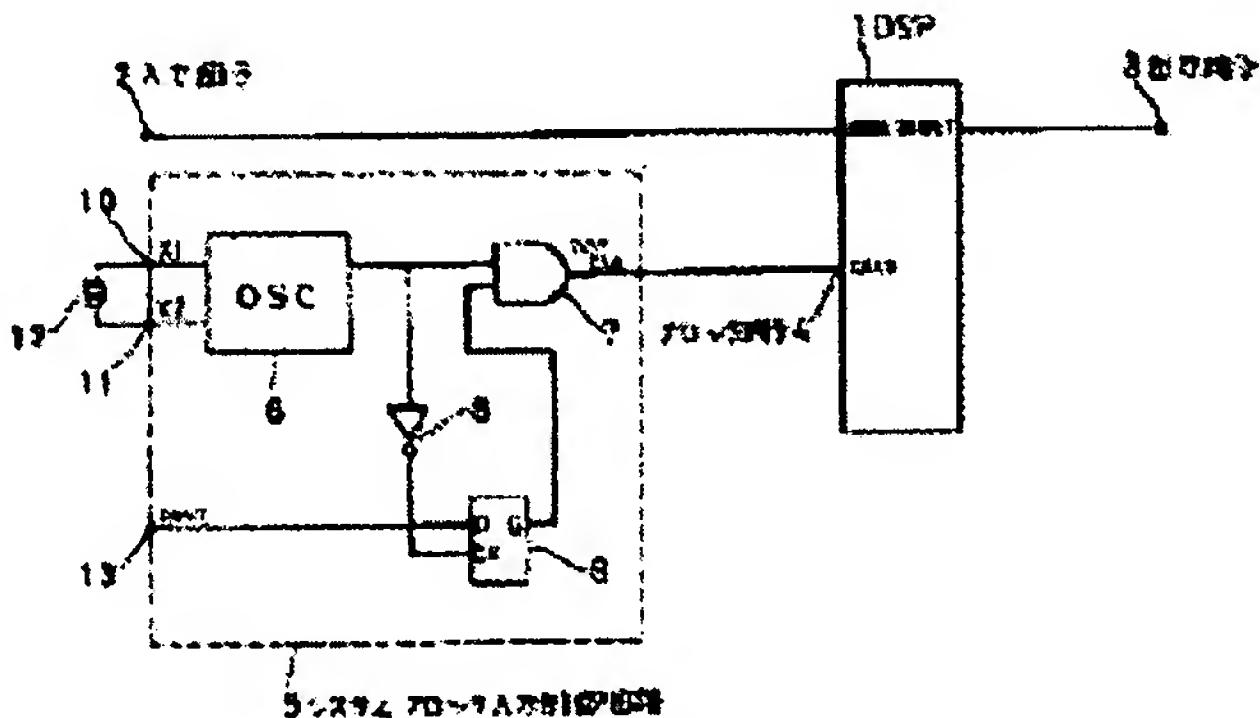
Publication number: JP5297975
Publication date: 1993-11-12
Inventor: MAEDA KOJI
Applicant: NIPPON ELECTRIC CO
Classification:
- international: G06F1/04; G06F1/04; (IPC1-7): G06F1/04
- European:
Application number: JP19920126678 19920421
Priority number(s): JP19920126678 19920421

[Report a data error here](#)

Abstract of JP5297975

PURPOSE: To realize low current consumption of a DSP(digital signal processor) to which a system clock signal is applied.

CONSTITUTION: A system clock input control circuit 5 for controlling a system clock signal inputted to a DSP 1 is provided, and in this input control circuit 5, for instance, a system clock oscillating circuit 6, and a gate 7 for opening and closing an output line of the system clock signal in accordance with a clock control signal. In such a way, by the clock control signal inputted to a control terminal 13 in accordance with an operating state of the DSP 1, the system clock signal from the system clock generating circuit 6 is not applied to the DSP 1, and during this time, the DSP 1 becomes a stand-by state and low current consumption is realized.



特開平5-297975

(43)公開日 平成5年(1993)11月12日

(51)Int.Cl.⁵

G 0 6 F 1/04

識別記号 廈内整理番号

3 0 1 C 7165-5B

F I

技術表示箇所

審査請求 未請求 請求項の数2(全3頁)

(21)出願番号

特願平4-126678

(22)出願日

平成4年(1992)4月21日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 前田 幸二

東京都港区芝五丁目7番1号 日本電気株
式会社内

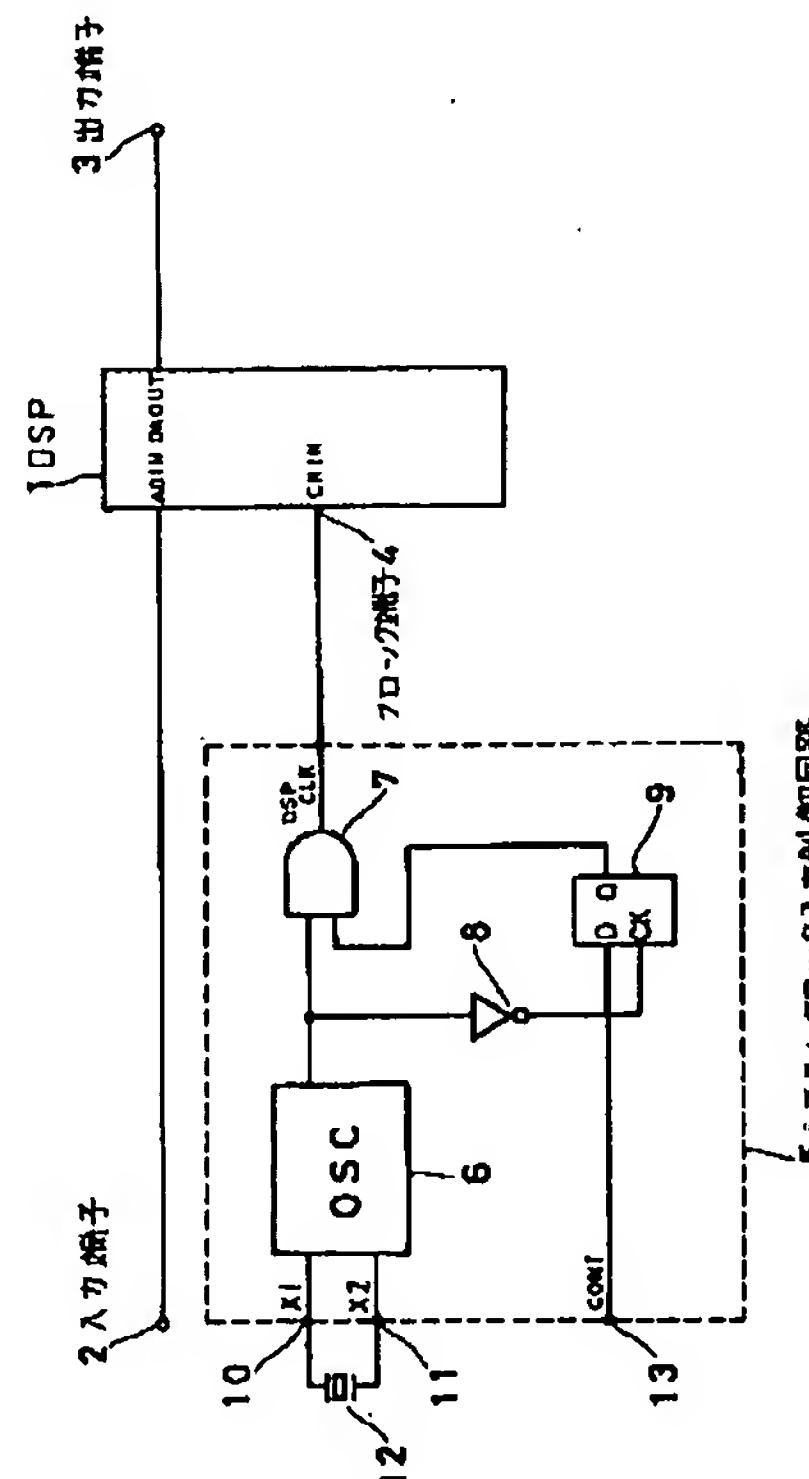
(74)代理人 弁理士 鈴木 章夫

(54)【発明の名称】 デジタルシグナルプロセッサのシステムクロック入力制御回路

(57)【要約】

【目的】 システムクロック信号が印加されるD S P (デジタルシステムプロセッサ) の低消費電流化を図ったシステムクロック入力制御回路を得る。

【構成】 D S P 1に入力されるシステムクロック信号を制御するためのシステムクロック入力制御回路5を備えており、この入力制御回路5に、例えばシステムクロック発振回路6と、クロック制御信号に応じてシステムクロック信号の出力路を開閉するゲート7とを設ける。これにより、D S P 1の動作状態に対応して制御端子13に入力されるクロック制御信号によりシステムクロック発振回路6からのシステムクロック信号をD S P 1に印加させず、この間D S P 1をスタンバイ状態として低消費電流化を実現する。



【特許請求の範囲】

【請求項1】 システムクロック信号が入力されたときに動作モードとなり、システムクロック信号が入力されないときにスタンバイモードとなるDSP（デジタルシグナルプロセッサ）において、このDSPに入力されるシステムクロック信号を制御するための入力制御回路を備え、このシステムクロック入力制御回路は、DSPの動作状態に対応して入力されるクロック制御信号によりシステムクロック発生回路からのシステムクロック信号をDSPに印加し、或いは印加しないように構成したことを特徴とするDSPのシステムクロック入力制御回路。

【請求項2】 システムクロック入力制御回路は、システムクロック信号を発生するための発振回路と、この発振回路で発生されたシステムクロック信号の出力路をクロック制御信号により開閉するゲートとを備える請求項1のDSPのシステムクロック入力制御回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はDSPに関し、特に低消費電力を考慮したDSPのシステムクロック入力制御回路に関する。

【0002】

【従来の技術】 近年、通信回線においてはアナログからデジタルへと方式が移行しており、このような通信処理用としてDSPを使用する例として、図2のような音声コーディックが考えられる。即ち、同図において、アナログ入力信号端子22より入力された音声信号は、PCNコーディック24でA/D変換され、かつDSP21で音声データ信号の圧縮処理を行う。その後、PCNコーディック25でD/A変換を行い、アナログ出力信号端子23より出力を取り出している。そして、このDSP21では、A/D変換された8ビット8kHzサンプリングのPCNデータ（即ち、64kbps）を高性能圧縮処理を行うことにより、1/4の16kbps程度に圧縮することが可能になる。

【0003】

【発明が解決しようとする課題】 ところで、DSPの技術改革は処理能力の向上やアドレッシング機能の充実といった高速・高機能化の方向が中心となり、低消費電流化についてはあまり進歩していないので、電池で駆動する装置にDSPを使用した回路は消費電流の面で不向きであった。例えば、前記したように音声コーディックの回路をDSPで実現する場合には、図3のような回路が用いられる。同図では、DSP31内にA/D変換器、D/A変換器、及びシステムクロック発振回路を内蔵しており、音声入力信号を入力端子32より入力し、DSP31にて音声信号処理を行った結果を出力端子33により出力している。

【0004】 この回路では、DSP31に供給するシス

テムクロック信号はDSP31に内蔵している発振回路を利用してDSP31の端子34及び端子35に水晶発振器36やコンデンサ37、38を接続することにより実現している。しかし、この回路ではDSP31には常にシステムクロック信号が印加されているため、回路の消費電流が多くなるという問題がある。本発明の目的は、システムクロック信号の印加を制限することで低消費電流化を図ったシステムクロック入力制御回路を提供することにある。

【0005】

【課題を解決するための手段】 本発明は、DSPに入力されるシステムクロック信号を制御するための入力制御回路を備えており、このシステムクロック入力制御回路を、DSPの動作状態に対応して入力されるクロック制御信号によりシステムクロック発生回路からのシステムクロック信号をDSPに印加し、或いは印加しないように構成する。例えば、システムクロック入力制御回路は、システムクロック信号を発生するための発振回路と、この発振回路で発生されたシステムクロック信号の出力路をクロック制御信号により開閉するゲートとを備える構成とする。

【0006】

【実施例】 次に、本発明について図面を参照して説明する。図1は本発明のDSPのシステムクロック入力制御回路の実施例のブロック図である。同図において、DSP1はA/D変換器、D/A変換器、及びシステムクロック発振回路を内蔵し、入力端子2から入力される音声入力信号を音声信号処理し、その結果を出力端子3から出力することができる。又、前記DSP1のクロック端子4に供給されるシステムクロック信号はシステムクロック入力制御回路5から供給されている。

【0007】 このシステムクロック入力制御回路5は、発振回路ブロック6を主体に構成され、これにANDゲート7、反転器8、フリップフロップ9が接続される。前記発振回路ブロック6には端子10、11を介して水晶発振器12が接続され、所定のクロック信号を発生させる。又、フリップフロップ9には制御端子13を通してクロック制御信号が入力される。そして、ANDゲート7から出力されるシステムクロック信号を前記DSP1のクロック端子4に供給する。尚、反転器8及びフリップフロップ9はDSP1へ供給するクロック信号のパルス波形が発振回路ブロック6の出力波形よりパルス幅が小さくなるのを防いでいる。

【0008】 この構成によれば、DSP1が処理を行う必要のない時間タイミングでは、制御端子13に入力されるクロック制御信号を“L”レベルにすると、フリップフロップ9の出力が“L”レベルとなり、ANDゲート7を閉じて発振回路ブロック6からのシステムクロック信号が出力されなくなる。このため、DSP1はクロック端子4にクロック信号が印加されなくなり、DSP

1はスタンバイモードとなり、回路電流は小さくなる。又、DSP1が処理を行う必要がある時間タイミングでは、制御端子13に入力されるクロック制御信号を“H”レベルにすると、フリップフロップ9の出力が“H”レベルとなり、ANDゲート7を開き、DSP1のクロック端子4にはクロック信号が印加され、DSP1は動作モードとなる。

【0009】このような方式にすることにより、低消費電流化が実現可能となる。例えば、DSPの動作時間比率が20%であり、DSPの消費電流が動作モードの時が90mAでスタンバイモードの時5mAならば、平均消費電流は22mA ($90 \times 0.2 + 5 \times 0.8$) となり、DSPが常時動作モードでシステムクロック信号が印加されている場合の90mAに比べて大幅な低消費電流化が実現できる。更に、DSPの動作時間比率が高い場合には、低消費電流化の効果が著しい。尚、システムクロック入力制御回路5は他の機能回路ブロックと共に、ゲートアレイやスタンダードセルの形態でワンチップLSIとして容易に実現可能である。

【0010】

【発明の効果】以上説明したように本発明は、DSPの動作に対応するクロック制御信号によりシステムクロック

ク入力制御回路からのシステムクロック信号がDSPに印加され、或いは印加されないように構成しているので、DSPが処理を行う必要のない時間タイミングではDSPにはシステムクロック信号が印加されず、その間は低消費電流状態にすることができるという効果がある。特に、DSPの動作時間比率が高い場合には著しい低消費電流化を実現することができる。

【図面の簡単な説明】

【図1】本発明のシステムクロック入力制御回路の一実施例の回路図である。

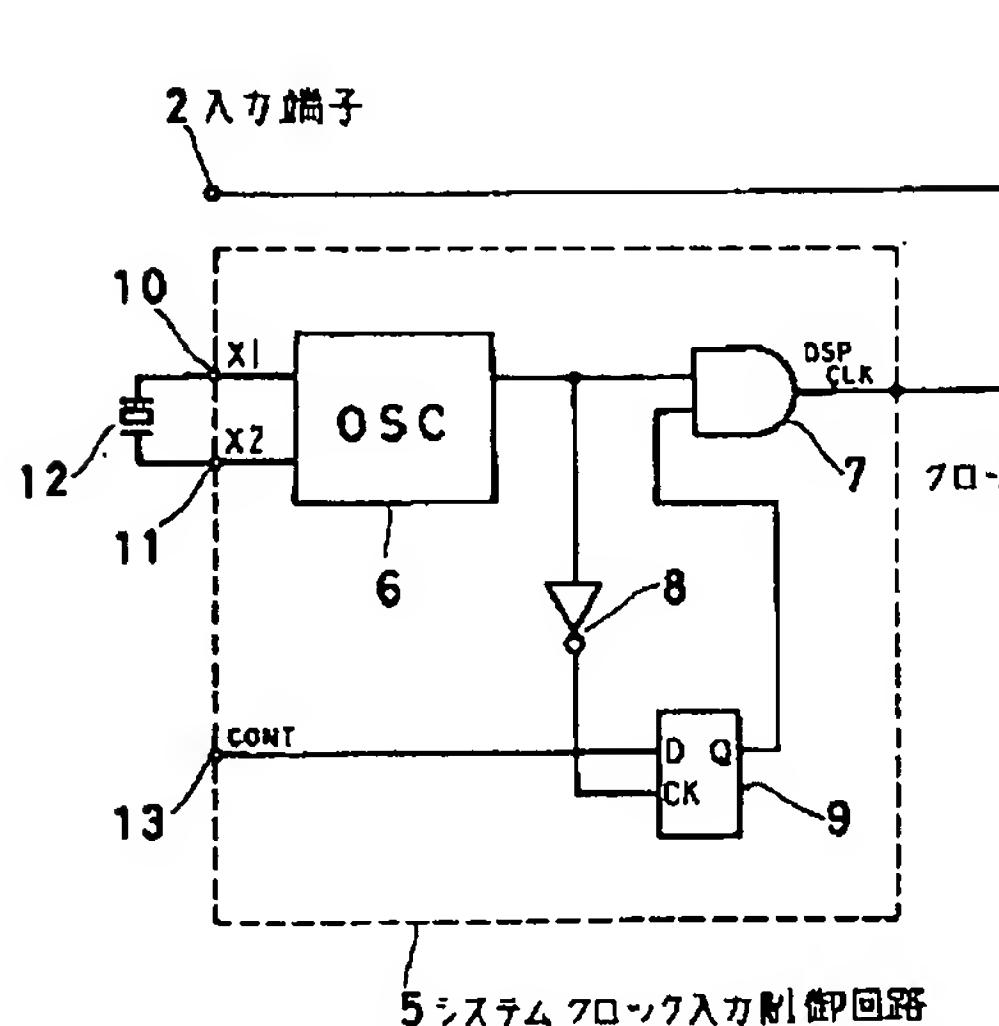
【図2】DSPを通信処理用に用いた場合のブロック図である。

【図3】DSPを音声コーディック回路に適用した一例を示す回路図である。

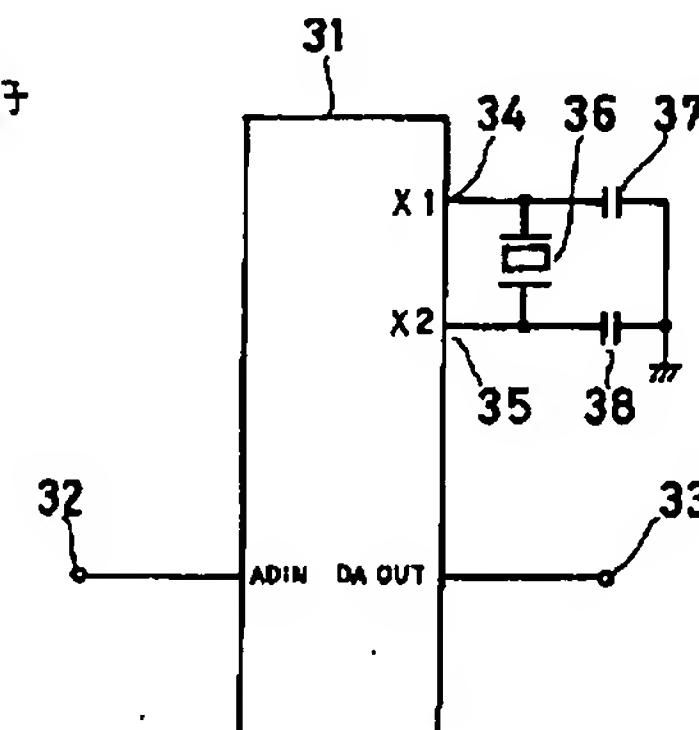
【符号の説明】

- | | |
|----|----------------|
| 1 | DSP |
| 4 | クロック端子 |
| 5 | システムクロック入力制御回路 |
| 6 | クロック発生ブロック |
| 7 | ANDゲート |
| 10 | 水晶発振器 |
| 12 | 制御端子 |

【図1】



【図3】



【図2】

